

**Family list**

10 application(s) for: **JP2003282885**

Sorting criteria: Priority Date Inventor Applicant Ecla

- 1 Semiconductor device and mfg method, SOI substrate and mfg method, and display device thereof**  
Inventor: YUTAKA TAKAFUJI [JP] ; TAKASHI ITOGA [JP]      Applicant: SHARP KK [JP]  
EC: H01L21/263; H01L21/336D2B; (+6)      IPC: H01L21/336; H01L21/762; H01L21/77; (+10)  
Publication CN1450649 (A) - 2003-10-22      Priority Date: 2002-03-26  
info: CN1276512 (C) - 2006-09-20
- 2 Semiconductor device and its fabricating method, soi substrate and its production method and display device**  
Inventor: TAKASHI TAKAFUJI YUTAKA ITOGA [JP]      Applicant: SHARP KK [JP]  
EC:      IPC: G02F1/1368; H01L21/02; H01L21/336; (+11)  
Publication CN1897258 (A) - 2007-01-17      Priority Date: 2002-03-26  
info: CN100454521 (C) - 2009-01-21
- 3 Semiconductor device and manufacturing method thereof, SOI substrate and display device using the same, and manufacturing method of the SOI substrate**  
Inventor: TAKAFUJI YUTAKA ; ITOGA TAKASHI      Applicant: SHARP KK [JP]  
EC: H01L21/263; H01L21/336D2B; (+6)      IPC: H01L21/336; H01L21/762; H01L21/77; (+8)  
Publication FR2837980 (A1) - 2003-10-03      Priority Date: 2002-03-26  
info: FR2837980 (B1) - 2007-04-06
- 4 SEMICONDUCTOR DEVICE AND ITS FABRICATING METHOD**  
Inventor: TAKATO YUTAKA      Applicant: SHARP KK  
EC:      IPC: G02F1/1368; H01L21/02; H01L21/336; (+13)  
Publication JP2003282885 (A) - 2003-10-03      Priority Date: 2002-03-26  
info:
- 5 SOI SUBSTRATE, DISPLAY DEVICE USING THE SAME AND MANUFACTURING METHOD OF SOI SUBSTRATE**  
Inventor: ITOGA TAKASHI ; TAKATO YUTAKA      Applicant: SHARP KK  
EC:      IPC: H01L21/02; H01L21/20; H01L27/12; (+5)  
Publication JP2004087606 (A) - 2004-03-18      Priority Date: 2002-08-23  
info:
- 6 SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**  
Inventor: TAKATO YUTAKA ; ITOGA TAKASHI      Applicant: SHARP KK  
EC:      IPC: G02F1/1368; H01L21/02; H01L21/20; (+12)  
Publication JP2004119636 (A) - 2004-04-15      Priority Date: 2002-09-25  
info:
- 7 Semiconductor device and manufacturing method thereof, SOI substrate and display device using the same, and manufacturing method of the SOI substrate**  
Inventor: TAKAFUJI YUTAKA [JP] ; ITOGA TAKASHI [JP]      Applicant: SHARP KK [JP]  
EC: H01L21/263; H01L21/336D2B; (+6)      IPC: H01L21/336; H01L21/762; H01L21/77; (+8)  
Publication TW235486 (B) - 2005-07-01      Priority Date: 2002-03-26  
info:
- 8 Semiconductor device and manufacturing method thereof, SOI substrate and display device using the same, and manufacturing method of the SOI substrate**  
Inventor: TAKAFUJI YUTAKA [JP]      Applicant: TAKAFUJI YUTAKA, ; ITOGA TAKASHI, (+1)  
EC: H01L21/263; H01L21/336D2B; (+6)      IPC: H01L21/336; H01L21/762; H01L21/77; (+10)

Publication **US2003183876 (A1)** - 2003-10-02      Priority Date: 2002-03-26  
info: **US7119365 (B2)** - 2006-10-10

**9 Semiconductor device and manufacturing method thereof,  
SOI substrate and display device using the same, and  
manufacturing method of the SOI substrate**

Inventor: TAKAFUJI YUTAKA [JP] ; ITOGA      Applicant: SHARP KK [JP]  
TAKASHI [JP]

EC: H01L21/263; H01L21/336D2B; (+6)      IPC: *H01L21/336; H01L21/762; H01L21/77; (+7)*

Publication **US2007063281 (A1)** - 2007-03-22      Priority Date: 2002-03-26  
info: **US7619250 (B2)** - 2009-11-17

**10 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD  
THEREOF, SOI SUBSTRATE AND DISPLAY DEVICE USING  
THE SAME, AND MANUFACTURING METHOD OF THE SOI  
SUBSTRATE**

Inventor: TAKAFUJI YUTAKA [JP] ; ITOGA      Applicant: SHARP KK [JP]  
TAKASHI [JP]

EC: H01L21/263; H01L21/336D2B; (+6)      IPC: *H01L21/18; H01L21/20; H01L21/302; (+12)*

Publication **US2010019242 (A1)** - 2010-01-28      Priority Date: 2002-03-26  
info:

# SEMICONDUCTOR DEVICE AND ITS FABRICATING METHOD

**Patent number:** JP2003282885 (A)

**Publication date:** 2003-10-03

**Inventor(s):** TAKATO YUTAKA +

**Applicant(s):** SHARP KK +

**Classification:**


- international: *G02F1/1368; H01L21/02; H01L21/336; H01L27/08; H01L27/12; H01L29/786; G02F1/13; H01L21/02; H01L27/08; H01L27/12; H01L29/66; (IPC1-7): G02F1/1368; H01L21/336; H01L27/08; H01L27/12; H01L29/786*


- european:

**Application number:** JP20020086999 20020326

**Priority number(s):** JP20020086999 20020326

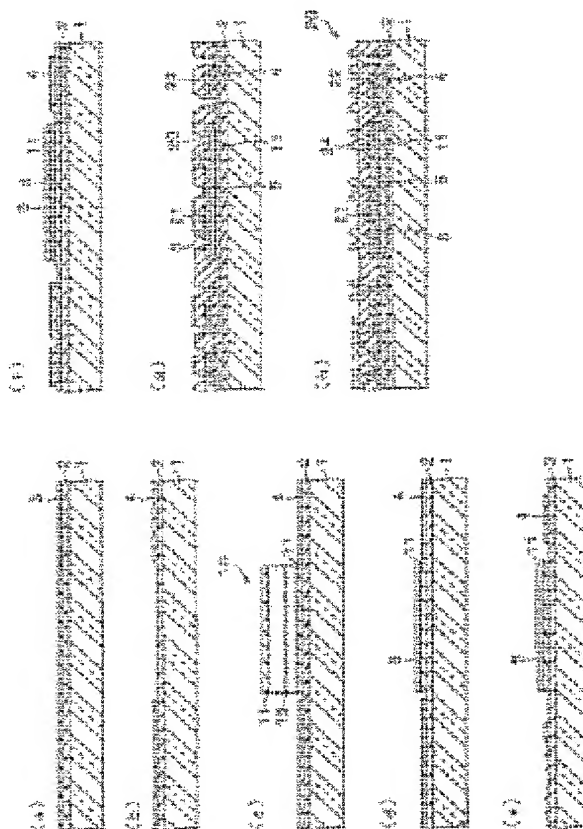
**Also published as:**

 CN1897258 (A)

 CN100454521 (C)

## Abstract of JP 2003282885 (A)

**PROBLEM TO BE SOLVED:** To provide a large and inexpensive semiconductor device having a thin film of single crystal Si in which the characteristics are stabilized. ; **SOLUTION:** A thin film 4 of poly-Si and a thin film 5 of single crystal Si are formed on an SiO<sub>2</sub> film 2 deposited on an insulating substrate 1. An amorphous Si film 3 is thermally crystallized to grow a poly-Si layer thus forming the thin film 4 of poly-Si. A single crystal Si substrate 10 having an SiO<sub>2</sub> film 11 on the surface and provided with a hydrogen ion implanted part 12 is pasted to a region where the thin film 4 of poly-Si is removed by etching and then heat treated. Finally, it is stripped at the boundary of the hydrogen ion implanted part 12 thus forming the thin film 5 of single crystal Si. ; **COPYRIGHT:** (C)2004,JPO



(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-282885  
(P2003-282885A)

(43)公開日 平成15年10月3日(2003.10.3)

| (51)Int.Cl. <sup>7</sup>             | 識別記号  | F I            | テーマコード(参考)        |
|--------------------------------------|-------|----------------|-------------------|
| H 0 1 L 29/786                       |       | G 0 2 F 1/1368 | 2 H 0 9 2         |
| G 0 2 F 1/1368                       |       | H 0 1 L 27/08  | 3 3 1 E 5 F 0 4 8 |
| H 0 1 L 21/336                       |       | 27/12          | B 5 F 1 1 0       |
| 27/08                                | 3 3 1 |                | L                 |
| 27/12                                |       |                | P                 |
| 審査請求 未請求 請求項の数27 O L (全 20 頁) 最終頁に続く |       |                |                   |

(21)出願番号 特願2002-86999(P2002-86999)

(22)出願日 平成14年3月26日(2002.3.26)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 ▲高▼藤 裕

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

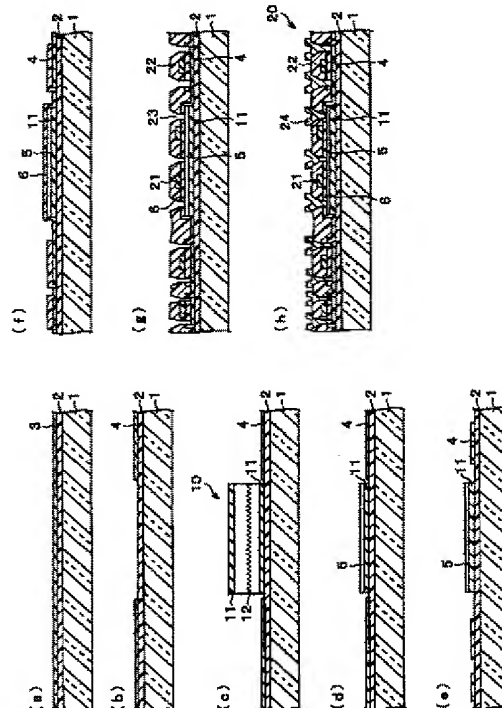
最終頁に続く

## (54)【発明の名称】 半導体装置およびその製造方法

## (57)【要約】

【課題】 単結晶Si薄膜を有する特性の安定した大型かつ安価な半導体装置を提供する。

【解決手段】 絶縁基板1上に堆積されたSiO<sub>2</sub>膜2上に、多結晶Si薄膜4と単結晶Si薄膜5とを形成する。非晶質Si膜3を加熱結晶化し多結晶Si層を成長させて多結晶Si薄膜4を形成する。SiO<sub>2</sub>膜11を表面に有し、かつ水素イオン注入部12を有する単結晶Si基板10を、多結晶Si薄膜4をエッチング除去した領域に貼り合わせ熱処理することにより、水素イオン注入部12を境に剥離することにより単結晶Si薄膜5を形成する。



【特許請求の範囲】

【請求項 1】絶縁基板上に多結晶 Si 薄膜と単結晶 Si 薄膜とがそれぞれ異なる領域に形成されていることを特徴とする半導体装置。

【請求項 2】前記単結晶 Si 薄膜の前記絶縁基板への接合側表面が酸化されているか、前記単結晶 Si 薄膜の前記絶縁基板への接合側表面に SiO<sub>2</sub>膜が堆積されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記半導体装置が、前記絶縁基板上に複数の MOSFET からなる集積回路を含むアクティブマトリクス基板であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】前記絶縁基板が、少なくとも単結晶 Si の存在する領域の表面に SiO<sub>2</sub>層が形成された高歪点ガラスからなることを特徴とする請求項 1 から 3 のうち何れか 1 項に記載の半導体装置。

【請求項 5】前記絶縁基板が、バリウム-アルミノ硼珪酸ガラス、アルカリ土類-アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類-亜鉛-鉛-アルミノ硼珪酸ガラス、アルカリ土類-亜鉛-アルミノ硼珪酸ガラスのうち何れか 1 つからなることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】前記絶縁基板上に形成されている前記単結晶 Si 薄膜の領域と前記多結晶 Si 薄膜の領域とが、少なくとも 0.3 ミクロン以上離れていることを特徴とする請求項 1 から 5 のうち何れか 1 項に記載の半導体装置。

【請求項 7】前記異なる領域にそれぞれ形成された同一導電型のトランジスタにおいて、移動度、サブスレショルド係数、閾値のうち少なくとも 1 つが、前記領域毎に異なることを特徴とする請求項 3 から 6 のうち何れか 1 項に記載の半導体装置。

【請求項 8】前記異なる領域にそれぞれ形成された集積回路において、ゲート長、ゲート酸化膜の膜厚、電源電圧、ロジックレベルのうち少なくとも 1 つが、前記領域毎に異なることを特徴とする請求項 3 から 6 のうち何れか 1 項に記載の半導体装置。

【請求項 9】前記異なる領域にそれぞれ形成された集積回路は、加工ルールが前記領域毎に異なることを特徴とする請求項 3 から 8 のうち何れか 1 項に記載の半導体装置。

【請求項 10】前記単結晶 Si 薄膜の膜厚が概ね 600 nm 以下であることを特徴とする請求項 1 から 9 のうち何れか 1 項に記載の半導体装置。

【請求項 11】前記単結晶 Si 薄膜の膜厚が 100 nm 以下であることを特徴とする請求項 1 から 9 のうち何れか 1 項に記載の半導体装置。

【請求項 12】絶縁基板上に多結晶 Si 薄膜と単結晶 Si 薄膜とが形成された半導体装置の製造方法において、絶縁基板表面に SiO<sub>2</sub>膜および非晶質 Si 膜を順次堆

積する工程と、

前記非晶質 Si 膜を加熱結晶化し、多結晶 Si 層を成長させ、多結晶 Si 薄膜を形成する工程と、  
前記多結晶 Si 層の所定の領域をエッチング除去する工程と、

予め表面を酸化あるいは SiO<sub>2</sub>膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶 Si 基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、

前記切断した単結晶 Si 基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、

熱処理することにより、前記水素イオン注入部を境に剥離し、単結晶 Si 薄膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 13】絶縁基板上に多結晶 Si 薄膜と単結晶 Si 薄膜とが形成された半導体装置の製造方法において、絶縁基板表面に SiO<sub>2</sub>膜及び非晶質 Si 膜を順次堆積する工程と、

前記非晶質 Si 膜を加熱結晶化し、多結晶 Si 層を成長させ、多結晶 Si 薄膜を形成する工程と、

所定の領域の前記多結晶 Si 層をエッチング除去するとともに、同じ領域の前記 SiO<sub>2</sub>膜の厚さ方向における一部をエッチング除去する工程と、

予め表面を酸化あるいは SiO<sub>2</sub>膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶 Si 基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、

前記切断した単結晶 Si 基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、

熱処理することにより、前記水素イオン注入部を境に剥離し、単結晶 Si 薄膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 14】絶縁基板上に多結晶 Si 薄膜と単結晶 Si 薄膜とが形成された半導体装置の製造方法において、絶縁基板表面に SiO<sub>2</sub>膜を堆積する工程と、

所定の領域の前記 SiO<sub>2</sub>膜の厚さ方向における一部をエッチング除去する工程と、

予め表面を酸化あるいは SiO<sub>2</sub>膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶 Si 基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、

前記切断した単結晶 Si 基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、

熱処理することにより、前記水素イオン注入部を境に剥

離し、単結晶Si薄膜を形成する工程と、  
前記絶縁基板上に第2のSiO<sub>2</sub>膜および非晶質Si膜を順次堆積する工程と、  
前記非晶質Si膜を加熱結晶化し、多結晶Si層を成長させ、多結晶Si薄膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項15】300℃以上650℃以下の1段階の温度ステップにより、前記熱処理をすることを特徴とする請求項12から14の何れか1項に記載の半導体装置の製造方法。

【請求項16】300℃以上650℃以下の多段階の温度ステップにより、前記熱処理をすることを特徴とする請求項12から14の何れか1項に記載の半導体装置の製造方法。

【請求項17】前記多結晶Si層を成長させるときに、前記非晶質Si膜にNi、Pt、Sn、Pdの内少なくとも1つを添加することを特徴とする請求項12から16の何れか1項に記載の半導体装置の製造方法。

【請求項18】レーザー照射によって、前記単結晶Si基板の水素イオン注入領域の温度をSiから水素が離脱する温度以上に昇温することにより、前記単結晶Si基板を水素イオン注入部を境に剥離する工程を行うことを特徴とする請求項12から17の何れか1項に記載の半導体装置の製造方法。

【請求項19】概ね700℃以上のピーク温度を含むランプアニールを行うことにより、前記単結晶Si基板を水素イオン注入部を境に剥離することを特徴とする請求項12から17の何れか1項に記載の半導体装置の製造方法。

【請求項20】前記単結晶Si薄膜の最大寸法が10cm以下であることを特徴とする請求項12から19のうち何れか1項に記載の半導体装置の製造方法。

【請求項21】前記単結晶Si薄膜の最大寸法が5cm以下であることを特徴とする請求項12から19のうち何れか1項に記載の半導体装置の製造方法。

【請求項22】前記絶縁基板上に前記多結晶Si薄膜と前記単結晶Si薄膜とが形成された後、  
等方性プラズマエッチングまたはウェットエッチングにより前記単結晶Si薄膜表面の損傷層をエッチング除去する工程と、  
前記多結晶Si薄膜と前記単結晶Si薄膜を島状にエッチングパターン化する工程と、  
前記多結晶Si薄膜と前記単結晶Si薄膜上全面に第1のSiO<sub>2</sub>膜を堆積後、異方性エッチングにより前記第1のSiO<sub>2</sub>膜の一部を残して、あるいは全部をエッチングバックする工程と、  
ゲート絶縁膜としての第2のSiO<sub>2</sub>膜を堆積する工程とをさらに含むことを特徴とする請求項12から21の何れか1項に記載の半導体装置の製造方法。

【請求項23】前記多結晶Si薄膜パターンと前記島状

エッチ前の単結晶Si薄膜パターン間のスペースを前記第1のSiO<sub>2</sub>膜厚の2倍と概ね等しくすることを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項24】前記絶縁基板上に形成した前記単結晶Si薄膜と前記多結晶Si薄膜を島状にエッチングパターン化しMOSトランジスタを形成し、N型MOSトランジスタ及びP型MOSトランジスタのソース及びドレイン領域の少なくとも一部に概ね $10^{15}/\text{cm}^2$ 以上 $5 \times 10^{15}/\text{cm}^2$ 以下のP<sup>+</sup>イオンを注入する工程とをさらに含むことを特徴とする請求項12から23の何れか1項に記載の半導体装置の製造方法。

【請求項25】前記単結晶Si薄膜の膜厚が前記多結晶Si薄膜の膜厚と概ね等しいことを特徴とする請求項12から24のうち何れか1項に記載の半導体装置の製造方法。

【請求項26】単結晶SiO<sub>2</sub>膜に予め表面の酸化あるいはSiO<sub>2</sub>膜の堆積によって形成したSiO<sub>2</sub>膜の膜厚が200nm以上であることを特徴とする請求項12から25のうち何れか1項に記載の半導体装置の製造方法。

【請求項27】単結晶SiO<sub>2</sub>膜に予め表面の酸化あるいはSiO<sub>2</sub>膜の堆積によって形成したSiO<sub>2</sub>膜の膜厚が300nm以上であることを特徴とする請求項12から25のうち何れか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関するものであり、特に複数のMOSからなる集積回路を形成した半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】従来、ガラス基板上にa-Si（非晶質Si）やp-Si（多結晶Si）の薄膜トランジスタ（Thin Film Transistor、以下、TFTと記す。）を形成し、液晶表示パネルや有機ELパネル等の駆動を行ういわゆるアクティブマトリクス駆動のためにSiによるデバイスが形成されてきた。更に、アクティブマトリクス駆動から、周辺ドライバ、あるいは更に高い性能が要求されるイメージプロセッサやタイミングコントローラ等のシステム集積化のため、更に高性能なSiのデバイスを形成することが研究されてきた。これは、多結晶Siでは結晶性の不完全性に起因するギャップ内の局在準位や結晶粒界付近の欠陥やギャップ内の局在準位の存在のため、移動度の低下やS係数（サブスレッショルド係数）の増大により、高性能なSiのデバイスを形成するにはトランジスタの性能が不十分であるという問題があるためである。

【0003】更に高性能なSiのデバイスを形成するため、レーザー結晶化の他、例えば更に進歩したSL（S

quential Lateral Solidification)等の結晶性改善のための技術が例えば米国公開特許第6300175号に開示されている。これは、ガラス基板の上にa-Si膜を堆積しこれをいかに制御性良く結晶化するか、あるいは単結晶に近づけるかということを目指しているものである。

【0004】一方、単結晶Siを絶縁基板上に貼り合わせ、これを薄膜化する技術が、特開平5-211128号公報に開示されている。この技術によると、単結晶Si基板上に酸化膜を形成し、その上に単結晶Si薄膜を形成することができる。しかし、Si以外の絶縁基板、例えばガラス基板あるいは石英基板と接合しようとする、石英基板などの絶縁基板との熱膨張係数差により、Siが剥がれたり破壊するという問題があった。

【0005】この問題に対し、例えば、特開平11-163363号公報に、石英基板との熱膨張係数差による加熱接合強度向上工程での破壊を防止するため、結晶化ガラスの組成を変える方法が開示されている。

【0006】

【発明が解決しようとする課題】ところが、上記特開平11-163363号公報による方法では、結晶化ガラスは一般にアルカリ原子を含み、特性の安定なトランジスタを得ることと相反する性質があるという問題がある。

【0007】更に、上記以上の技術では、単結晶Siの基板形状がLSI製造装置のウェハサイズである6、8、12インチの円板に限定されるため、接合する絶縁基板が6、8、12インチの円板に限られ、これにより大型の液晶表示パネルや有機ELパネルを製造することは不可能であり、また小型であっても製造コストが高くなり実用化が困難であった。

【0008】本発明は、上記の問題点を解決するためになされたもので、その目的は、単結晶Si薄膜を有する特性の安定した大型かつ安価な基板である半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本発明に係る半導体装置は、上記の課題を解決するために、絶縁基板上に多結晶Si薄膜と単結晶Si薄膜とがそれぞれ異なる領域に形成されていることを特徴としている。

【0010】上記の構成により、大型のガラス基板等の絶縁基板上に多結晶Si薄膜と単結晶Si薄膜とがそれぞれ異なる領域に形成されている。高性能なデバイスを形成する上で障碍となる、多結晶Siに特有の結晶性の不完全性に起因するギャップ内の局在準位や結晶粒界付近の欠陥やギャップ内の局在準位の存在による移動度の低下やS係数(サブスレッショルド係数)の増加等の問題は単結晶Siにより解消できる。従って、より高性能が要求されるデバイス、例えばタイミングコントローラを単結晶Si薄膜の形成領域にて形成し、残りのデバイ

を多結晶Si薄膜の形成領域にて形成することができ

る。

【0011】すなわち、単結晶Si薄膜のサイズが限られていても、単結晶Siが必要となる高速性、消費電力、バラツキが問われる高速のロジック、タイミングジェネレータ、高速のDAC(電流パルファ)、等を形成するのに十分なサイズであればよい。従って、単結晶Siにてのみ実現可能な高性能・高機能の回路システムを基板上に一体集積化できるので、例えば、高性能なシステムを集積化した液晶パネルあるいは有機ELパネル等の表示装置用の半導体装置を、全てのデバイスを単結晶Siにて形成する場合に比べて、非常に低コストにて製造できる。

【0012】また、単結晶Siの基板形状はLSI製造装置のウェハサイズである6、8、12インチの円板に限定されるが、基板上には多結晶Si薄膜も形成されているので、例えば、大型の液晶表示パネルや有機ELパネルを製造することも可能になる。

【0013】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記単結晶Si薄膜の前記絶縁基板への接合側表面が酸化されているか、前記単結晶Si薄膜の前記絶縁基板への接合側表面にSiO<sub>2</sub>膜が堆積されていることを特徴としている。

【0014】さらに、前記絶縁基板の単結晶Si接合側表面にもSiO<sub>2</sub>膜が堆積されていることを特徴としている。なお、単結晶Siの接合側表面のSiO<sub>2</sub>膜の膜厚は100nm以上、好ましくは500nm以上であればよい。これにより、接合したSi界面に働く応力によるSi結晶の歪みに起因する移動度低下、あるいは界面の欠陥やこれに伴う界面固定電荷、界面の局在準位による閾値シフト、特性安定性低下等が、接合する単結晶Si薄膜が酸化層またはSiO<sub>2</sub>膜を介して絶縁基板と接合することにより防止できる。

【0015】また、これにより、特開平11-163363号公報に記載されるような石英基板との熱膨張係数差による加熱接合強度向上工程での破壊を防止するため組成を調節した結晶化ガラスを用いる必要が無くなる。よって、結晶化ガラスのために生じていたアルカリ金属による汚染の問題がなくなるので、熱膨張係数差による加熱接合強度向上工程における破壊を防止することができる。

【0016】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記半導体装置が、前記絶縁基板上に複数のMOSFETからなる集積回路を形成したアクティブマトリクス基板であることを特徴としている。上記の構成により、さらに、半導体装置が、前記絶縁基板上に複数のMOS(Metal Oxide Semiconductor)FETからなる集積回路を形成したアクティブマトリクス基板であるので、前記特徴を有するアクティブマトリクス基板を得ることができる。

【0017】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記絶縁基板が、少なくとも単結晶Siの存在する領域の表面にSiO<sub>2</sub>膜が形成された高歪点ガラスからなることを特徴としている。

【0018】前記のように、組成を調節した結晶化ガラスを用いる必要が無くなるので、アクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスから絶縁基板がなることによって、低コストにて半導体装置を製造できる。

【0019】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記絶縁基板が、表面にSiO<sub>2</sub>膜が形成されたバリウム-アルミノ硼珪酸ガラス、アルカリ土類-アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類-亜鉛-鉛-アルミノ硼珪酸ガラス、アルカリ土類-亜鉛-アルミノ硼珪酸ガラスのうち何れか1つからなることを特徴としている。

【0020】上記の構成により、さらに、アクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスである上記記載のガラスから絶縁基板がなるので、低コストにてアクティブマトリクス基板に好適な半導体装置を製造できる。

【0021】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記絶縁基板上に形成されている前記単結晶Si薄膜の領域と前記多結晶Si薄膜の領域とが、少なくとも0.3ミクロン以上離れていることを特徴としている。

【0022】上記の構成により、さらに、単結晶Si薄膜の領域と多結晶Si薄膜の領域とが、少なくとも0.3ミクロン以上離れているので、多結晶Siから単結晶SiにNi、Pt、Sn、Pd等が拡散してくることを防止し、半導体装置の特性の安定を図ることができる。

【0023】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記異なる領域にそれぞれ形成された同一導電型のトランジスタにおいて、移動度、サブスレショルド係数、閾値のうち少なくとも1つが、前記領域毎に異なることを特徴としている。

【0024】上記の構成により、さらに、異なる領域にそれぞれ形成された一導電型のトランジスタにおいて、移動度、サブスレショルド係数、閾値のうち少なくとも1つが異なるので、必要とする特性に合わせてトランジスタを適した領域に形成することができる。

【0025】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記異なる領域にそれぞれ形成された集積回路において、ゲート長、ゲート酸化膜の膜厚、電源電圧、ロジックレベルのうち少なくとも1つが、前記領域毎に異なることを特徴としている。

【0026】上記の構成により、さらに、異なる領域に

それぞれ形成された集積回路において、ゲート長、ゲート酸化膜の膜厚、電源電圧、ロジックレベルのうち少なくとも1つ異なるので、必要とする構成および特性に合わせて集積回路を適した領域に形成することができる。

【0027】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記異なる領域にそれぞれ形成された集積回路は、加工ルールが前記領域毎に異なることを特徴としている。

【0028】上記の構成により、さらに、異なる領域にそれぞれ形成された集積回路は加工ルールが異なるので、加工ルールに合わせて集積回路を適した領域に形成することができる。

【0029】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記単結晶Si薄膜の膜厚dが不純物Niで定まる最大空乏長Wmに対しバラツキのマージンを含めた小さい値、すなわち不純物密度が実用的下限である $10^{15} \text{ cm}^{-3}$ であってもdの上限である概ね600nm以下であることを特徴としている。

【0030】ここで、 $Wm = [4 \epsilon_s k T \ln (Ni / n_i) q^2 Ni]^{1/2}$ であり、 $n_i$ は真性キャリア密度、 $k$ はボルツマン定数、 $T$ は絶対温度、 $\epsilon_s$ はSiの誘電率、 $q$ は電子電荷、 $Ni$ は不純物密度である。

【0031】上記の構成により、単結晶Si薄膜の膜厚が概ね600nm以下であるので、半導体装置のS値が小さくなり、またオフ電流が低下する。

【0032】本発明に係る半導体装置は、上記の課題を解決するために、上記の構成に加えて、前記単結晶Si薄膜の膜厚が100nm以下であることを特徴としている。

【0033】上記の構成により、単結晶Si薄膜の膜厚が100nm以下であるので、さらに、一層半導体装置のS値が小さくなり、またオフ電流が低下する。

【0034】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、絶縁基板上に多結晶Si薄膜と単結晶Si薄膜とが形成された半導体装置の製造方法において、絶縁基板表面にSiO<sub>2</sub>膜および非晶質Si膜を順次堆積する工程と、前記非晶質Si膜を加熱結晶化し、多結晶Si層を成長させ、多結晶Si薄膜を形成する工程と、前記多結晶Si層の所定の領域をエッチング除去する工程と、予め表面を酸化あるいはSiO<sub>2</sub>膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶Si基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、前記切断した単結晶Si基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、熱処理することにより、前記水素イオン注入部を境に剥離し、単結晶Si薄膜を形成する工程とを含むことを特徴としている。



【0035】上記の構成により、所定の深さに所定の濃度の水素イオンを注入した単結晶Si基板を加熱することにより、接合強度を高めることができるとともに、単結晶Si基板を水素イオン注入部に境に剥離することにより単結晶Si薄膜を得ることができる。よって、高性能なデバイスを形成する上で障碍となる、多結晶Siに特有の結晶性の不完全性に起因するギャップ内の局在準位や結晶粒界付近の欠陥やギャップ内の局在準位の存在のためによる移動度の低下やS係数の増加等の問題は、単結晶Siにて解消できる。従って、絶縁基板上に単結晶Si薄膜と多結晶Si薄膜とを形成でき、以降の工程を共通の加工プロセスにて、より高性能が要求されるデバイスは単結晶Siにて形成し、残りのデバイスを多結晶Siにて形成することができる。よって、高性能なシステムを集積化した液晶パネルあるいは有機ELパネル等の表示装置等の半導体装置等を低コストにて製造できる。

【0036】また、SiO<sub>2</sub>膜を予め形成しこれを介してガラス基板等の絶縁基板上に単結晶Si基板を接合するので、接合したSi界面に働く応力によるSi結晶の歪みに起因する移動度の低下、あるいは界面の欠陥やこれに伴う界面固定電荷、界面の局在準位による閾値シフト、特性安定性低下等を防止できる。これにより、石英基板との熱膨張係数差による加熱接合強度向上・剥離工程にての破壊を防止するため組成を調節した結晶化ガラスを用いる必要がなくなり、高歪点ガラスを用いることができる。よって、結晶化ガラスによるアルカリ金属による汚染の問題がなくなり、熱膨張係数差による加熱接合強度向上・剥離工程にての破壊を防止する事ができる。

【0037】更に、例えば、大面積の高歪点ガラス基板上に多結晶Si膜を形成し、適切なサイズに加工した単結晶Si基板を接合すべき領域を覆うように多結晶Si薄膜を予めエッチング除去し、この領域に単結晶Si基板を接合し、剥離により単結晶Si薄膜とSiO<sub>2</sub>膜を残し、それ以外の単結晶Siを剥離除去することによりガラス基板全体に亘り応力の偏りを無くすることができる。これにより、Siが剥がれたりクラックや破壊を生じること無く、基板の一部の領域が単結晶Si薄膜、残りの領域部分が多結晶Si薄膜からなる基板を得ることができる。

【0038】また、単結晶Si基板の形状はLSI製造装置のウェハサイズである6、8、12インチの円板に限定されるが、絶縁基板上には多結晶Si薄膜も形成されているので、例えば、大型の液晶表示パネルや有機ELパネル等の半導体装置を製造できる。

【0039】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、絶縁基板上に多結晶Si薄膜と単結晶Si薄膜とが形成された半導体装置の製造方法において、絶縁基板表面にSiO<sub>2</sub>膜および非晶質Si

i膜を順次堆積する工程と、前記非晶質Si膜を加熱結晶化し、多結晶Si層を成長させ、多結晶Si薄膜を形成する工程と、所定の領域の前記多結晶Si層をエッチング除去するとともに、同じ領域の前記SiO<sub>2</sub>膜の厚さ方向における一部をエッチング除去する工程と、予め表面を酸化あるいはSiO<sub>2</sub>膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶Si基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、前記切断した単結晶Si基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、熱処理することにより、前記水素イオン注入部を境に剥離し、単結晶Si薄膜を形成する工程を含むことを特徴としている。

【0040】上記の構成により、前記製造方法の利点に加えて、さらに、所定の領域の多結晶Si層をエッチング除去するとともに、同じ領域のSiO<sub>2</sub>膜の厚さ方向における一部をエッチング除去するので、単結晶Si基板の貼付面側におけるSiO<sub>2</sub>膜の厚さの影響がキャンセルされ、絶縁基板上の単結晶Si薄膜および多結晶Si薄膜の領域の高さが概ね同等である基板を得ることができる。その結果、島エッチングを含め以降のほとんどの工程を同時に処理することが可能となる。また、これにより、段差の小さいトランジスタあるいは回路が形成される。よって、例えば液晶パネルの場合、セル厚制御にて優位となる。

【0041】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、絶縁基板上に多結晶Si薄膜と単結晶Si薄膜とが形成された半導体装置の製造方法において、絶縁基板表面にSiO<sub>2</sub>膜を堆積する工程と、所定の領域の前記SiO<sub>2</sub>膜の厚さ方向における一部をエッチング除去する工程と、予め表面を酸化あるいは酸化膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶Si基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、前記切断した単結晶Si基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、熱処理することにより、前記水素イオン注入部を境に剥離し、単結晶Si薄膜を形成する工程と、前記絶縁基板上に第2のSiO<sub>2</sub>膜および非晶質Si膜を順次堆積する工程と、前記非晶質Si膜を加熱結晶化し、多結晶Si層を成長させ、多結晶Si薄膜を形成する工程とを含むことを特徴としている。

【0042】上記の構成により、前記各製造方法と同様の利点を得ることができる。

【0043】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、300℃以上650℃以下の1段階の温度ステップにより、前記熱処理をすることを特徴としている。

【0044】上記の構成により、さらに、1段階の温度ステップにより熱処理をするので、1工程にて熱処理をすることができる。本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、300℃以上650℃以下の多段階の温度ステップにより、前記熱処理をすることを特徴としている。

【0045】上記の構成により、さらに、多段階の温度ステップにより熱処理をするので、単結晶Siの剥離による剥がれを減少することができる。

【0046】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、前記多結晶Si層を成長させるときに、前記非晶質Si膜にNi、Pt、Sn、Pdの内少なくとも1つを添加することを特徴としている。

【0047】上記の構成により、さらに、多結晶Si層を成長させるときに、非晶質Si膜にNi、Pt、Sn、Pdの内少なくとも1つを添加し、その後加熱することにより、多結晶Si層の結晶成長を促進することができる。よって、多結晶Si層の移動度を高くすることができ、駆動回路形成などにおいて有利になる。

【0048】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、レーザー照射によって、前記単結晶Si基板の水素イオン注入領域の温度をSiから水素が離脱する温度以上に昇温することにより、前記単結晶Si基板を水素イオン注入領域を境に剥離する工程を行うことを特徴としている。

【0049】上記の構成により、さらに、レーザー照射によって、単結晶Si基板の水素イオン注入領域の温度を昇温するので、狭い範囲の領域のみを昇温することができ、単結晶Siの損傷を抑えることができる。

【0050】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、概ね700℃以上のピーク温度を含むランプアニールを行い、前記単結晶Si基板を水素イオン注入領域を境に剥離することを特徴としている。

【0051】上記の構成により、さらに、概ね700℃以上のピーク温度を含む瞬間熱アニール(Rapid Thermal Anneal、以下RTAと記す。)であるランプアニールを行い、単結晶Si基板を水素イオン注入部を境に剥離するので、更に接合強度が向上するとともに、剥離界面及び単結晶Si薄膜内部の水素イオン注入による損傷の回復によりトランジスタの特性を向上できる。なお、ランプアニールのピーク温度は高いほどトランジスタの特性は向上するが、基板の反りや伸縮が大きくなる。よって、基板サイズや形成するデバイスの種類により適切な温度と保持時間を選べばよい。

【0052】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、前記単結晶Si薄膜の最大寸法が10cm以下であることを特徴としている。

【0053】上記の構成により、さらに、単結晶Si薄膜の最大寸法が10cm以下であれば、石英基板より単結晶Siとの熱膨張係数差の大きい、一般にアクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスを用いても、クラック等の破壊やSiの剥がれを防止できる。なお、単結晶Si薄膜の最大寸法とは、薄い厚みを有する単結晶Si薄膜の表面形状における各寸法中の最大の寸法を意味している。例えば、単結晶Si薄膜が円盤形状であるときはその直径を、単結晶Si薄膜が薄い直方体である場合には上面四角形状の対角線長さを意味している。

【0054】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、前記単結晶Si薄膜の最大寸法が5cm以下であることを特徴としている。

【0055】上記の構成により、さらに、単結晶Si薄膜の最大寸法が5cm以下であれば、石英基板より単結晶Siとの熱膨張係数差の大きい、一般にアクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスを用いても、一層クラック等の破壊やSiの剥がれを防止できる。

【0056】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、前記絶縁基板上に前記多結晶Si薄膜と前記単結晶Si薄膜とが形成された後、等方性プラズマエッチングまたはウェットエッチングにより前記単結晶Si薄膜表面の損傷層をエッチング除去する工程と、前記多結晶Si薄膜と前記単結晶Si薄膜を島状にエッチングパターン化する工程と、前記多結晶Si薄膜と前記単結晶Si薄膜上全面に第1のSiO<sub>2</sub>膜を堆積後、異方性エッチングにより前記第1のSiO<sub>2</sub>膜の膜厚の一部を残し、あるいは全部をエッチングバックする工程と、ゲート絶縁膜としての第2のSiO<sub>2</sub>膜を堆積する工程とをさらに含むことを特徴としている。

【0057】上記の構成により、さらに、一般的なポリシリコンTFT形成工程が行われるので、従来の工程を用いて前記特徴を有するTFTを製造することができる。

【0058】上記の製造方法においては、前記多結晶Si薄膜パターンと前記島状エッチ前の単結晶Si薄膜パターン間のスペースを前記第1のSiO<sub>2</sub>膜厚の2倍と概ね等しくすることが好ましい。これにより、前記多結晶Si薄膜と前記単結晶Si薄膜パターン間の谷状部に酸化膜が残り、基板全体が平坦化される。

【0059】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、前記絶縁基板上に形成した前記単結晶Si薄膜と前記多結晶Si薄膜を島状にエッチングパターン化しMOSトランジスタを形成し、N型MOSトランジスタおよびP型MOSトランジスタのソースおよびドレイン領域の少なく

とも一部に概ね $10^{15}/\text{cm}^2$ 以上 $5 \times 10^{15}/\text{cm}^2$ 以下のP<sup>+</sup>イオンを注入する工程とをさらに含むことを特徴としている。

【0060】上記の構成により、さらに、N型MOSトランジスタおよびP型MOSトランジスタのソース及びドレイン領域の少なくとも一部に概ね $10^{15}/\text{cm}^2$ 以上 $5 \times 10^{15}/\text{cm}^2$ 以下のP<sup>+</sup>イオンを注入するので、その後、RTA、レーザー、炉等により加熱処理を行い、多結晶Si薄膜領域のみならず単結晶Si薄膜領域も同時に金属原子をゲッターリングすることにより更に特性バラツキが小さく特性の安定なTFTを得ることができる。

【0061】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、前記単結晶Si薄膜の膜厚が前記多結晶Si薄膜の膜厚と概ね等しいことを特徴としている。

【0062】上記の構成により、さらに、単結晶Si薄膜の膜厚が多結晶Si薄膜の膜厚と概ね等しいので、島エッチングを含め以降の工程をほとんどの工程を同時に処理することが可能となり、かつ段差の小さいトランジスタあるいは回路が形成できる。よって、例えば液晶パネルの場合、セル厚制御にて優位となる。

【0063】本発明に係る半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、前記SiO<sub>2</sub>膜の膜厚が200nm以上、望ましくは300nm以上であることを特徴としている。

【0064】SiO<sub>2</sub>膜の膜厚は厚い程、閾値のバラツキは減少するが、SiO<sub>2</sub>膜形成工程の効率（酸化に要する時間）や段差とのトレードオフにより、適切な値は概ね200nm～400nmとなる。バラツキを重視する場合は概ね400nm以上、段差や効率を重視する場合は概ね200nm～400nm、より望ましくは、250nm～350nmが適切な値となる。SiO<sub>2</sub>膜の膜厚が厚いと、特に低電圧における動作の安定性が向上する。これは接合した単結晶Si基板とガラス基板等の絶縁基板界面の汚染、あるいは格子の歪みや不完全性に起因する固定電荷の影響が軽減されるためである。

【0065】

【発明の実施の形態】（実施の形態1）本発明の一実施例であるTFTによるアクティブマトリクス基板20について、図1（h）に基づいて説明すれば、以下のとおりである。

【0066】半導体装置であるアクティブマトリクス基板20は、絶縁基板1、SiO<sub>2</sub>（酸化シリコン）膜2および11、多結晶Si薄膜4、単結晶Si薄膜5、ゲート酸化膜6、ゲート電極21、層間絶縁膜22、金属配線24により構成されている。

【0067】絶縁基板1として高歪点ガラスであるコーニング社の#1737（アルカリ土類-アルミノ硼珪酸ガラス）が用いられているが、高歪点ガラスであるバリ

ウム-アルミノ硼珪酸ガラス、アルカリ土類-アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類-亜鉛-鉛-アルミノ硼珪酸ガラス、アルカリ土類-亜鉛-アルミノ硼珪酸ガラス等であってもよい。

【0068】絶縁基板1の表面上全面に膜厚約200nmのSiO<sub>2</sub>膜2が形成されている。絶縁基板1の表面上のSiO<sub>2</sub>膜2上に、膜厚約50nmの多結晶Si薄膜4が島状パターンの領域に形成されている。さらに、多結晶Si薄膜4の領域とは異なる領域において、絶縁基板1の表面上のSiO<sub>2</sub>膜2上に、膜厚約200nmのSiO<sub>2</sub>膜11、さらにその上に同形状の膜厚約50nmの単結晶Si薄膜5が、島状パターンの領域に形成されている。多結晶Si薄膜4の領域と単結晶Si薄膜5の領域とは、少なくとも0.3ミクロン、好ましくは0.5ミクロン以上離れている。このことにより、後述する多結晶Si薄膜4の製造工程にて用いられるNi、Pt、Sn、Pd等の金属原子が、単結晶Si領域に拡散するのを防止し、特性の安定化が図れる。

【0069】SiO<sub>2</sub>膜2、多結晶Si薄膜4および単結晶Si薄膜5の全面上に亘って、膜厚約60nmのゲート酸化膜6が形成されている。

【0070】多結晶Si薄膜4および単結晶Si薄膜5における各島状パターンの領域上面のゲート酸化膜6には、多結晶Si、シリサイド、あるいはポリサイド等から成るゲート電極21が形成されている。

【0071】さらに、ゲート電極21が形成されたゲート酸化膜6の全面上に渡って、SiO<sub>2</sub>からなる層間絶縁膜22が形成されている。ただし、層間絶縁膜22は開口としてのコンタクトホール23（図1（g）参照）を有しており、この開口にはAlSi等の金属からなる金属配線24が形成されている。金属配線24は、多結晶Si薄膜4および単結晶Si薄膜5における各島状の領域の上面から形成されている。

【0072】更に、アクティブマトリクス基板20は、さらに、液晶表示用に、SiNx（窒化シリコン）、樹脂平坦化膜、ビアホール、透明電極が形成されており、多結晶Si薄膜領域にてドライバおよび表示部用のTFTが形成され、単結晶Si薄膜領域にてドライバによる駆動の各タイミングを制御するタイミングコントローラが形成されている。

【0073】従来の多結晶シリコン領域に形成したTFTは移動度が約 $100\text{cm}^2/\text{V}\cdot\text{sec}$ （Nチャネル）であったのに対し、この液晶表示用アクティブマトリクス基板20においては、単結晶Si領域に形成したTFTは約 $500\text{cm}^2/\text{V}\cdot\text{sec}$ （Nチャネル）の移動度を得た。

【0074】この液晶表示用アクティブマトリクス基板20にて、ドライバはもとより多結晶Si薄膜4の領域に形成されているデバイスが7～8Vの信号と電源電圧を要するのに対し、単結晶Si薄膜5の領域に形成されているデバイスであるタイミングコントローラは3.3

Vにて安定に動作した。

【0075】なお、単結晶Si薄膜5の膜厚を増加させると、50nm～100nmでは大きな変化はないが、300nm～600nmに増加させるとチャネル部が完全に空乏化しなくなるため、次第にTFTのS値(サブスレッシュホールド係数が大きくなり、またオフ電流の増加が著しくなった。従って、チャネル部のドーピング密度に依存するが、バラツキに対する余裕を考慮し、単結晶Si薄膜5の膜厚は約500nm以下、望ましくは100nm以下にする必要がある。

【0076】また、この液晶表示用アクティブマトリクス基板20においては、トランジスタが多結晶Si薄膜4の領域と単結晶Si薄膜5の領域とに形成されることにより、それぞれの領域に形成された同一導電型のトランジスタにおいて、移動度、サブスレッシュホールド係数、閾値のうち少なくとも1つが、領域毎に異なっている。よって、必要とする特性に合わせてトランジスタを適した領域に形成することができる。

【0077】この液晶表示用アクティブマトリクス基板20においては、集積回路が多結晶Si薄膜4の領域と単結晶Si薄膜5の領域とに形成されることにより、それぞれの領域に形成された集積回路において、ゲート長、ゲート酸化膜の膜厚、電源電圧、ロジックレベルのうち少なくとも1つが、領域毎に異なっている。よって、必要とする構成および特性に合わせて集積回路を適した領域に形成することができる。

【0078】この液晶表示用アクティブマトリクス基板20においては、集積回路が多結晶Si薄膜4の領域と単結晶Si薄膜5の領域とに形成されることにより、それぞれの領域に形成された集積回路は、領域毎に異なる加工ルールを適用することができる。これは、例えば特に短チャネル長の場合、単結晶部分では、結晶粒界がないため、TFT特性のバラツキが殆ど増加しないのに対し、多結晶部分では、結晶粒界の影響でバラツキが急速に増加するため、加工ルールを各々の部分で変える必要があるからである。よって、加工ルールに合わせて集積回路を適した領域に形成することができる。

【0079】なお、本発明では得られる単結晶Si領域のサイズがLSI製造装置のウェハサイズによるため限られるが、単結晶Si領域が必要となる高速性、消費電力、バラツキが問われる高速のロジック、タイミングジェネレータ、高速のDAC(電流バッファ)、等を形成するには十分なサイズである。

【0080】以上に説明したアクティブマトリクス基板20の製造方法について図1(a)～図1(h)に基づいて説明すれば、以下のとおりである。

【0081】まず、絶縁基板1として高歪点ガラスであるコーニング社の#1737(アルカリ土類-アルミノ硼珪酸ガラス)を用い、その表面上全面にSiH<sub>4</sub>(シラン)とN<sub>2</sub>O(亜酸化窒素)との混合ガスを用いプラ

ズマ化学気相成長(Cheical Vapor Deposition、以下、CVDと記す。)により、図1(a)に示すように、膜厚約200nmのSiO<sub>2</sub>膜2を堆積する。さらに、その表面上全面にSiH<sub>4</sub>ガスを用いプラズマCVDにより、図1(a)に示すように、膜厚約50nmの非晶質Si膜3を堆積する。

【0082】前記非晶質Si膜3にエキシマレーザーを照射加熱して結晶化し、多結晶Si層を成長させ、多結晶Si薄膜4を形成する。なお、非晶質Si膜3への加熱は、エキシマレーザーによる照射加熱に限らず、例えば、他のレーザーによる照射加熱であっても、炉を用いる加熱であってもよい。また、結晶の成長を促進させるために、非晶質Si膜3にNi、Pt、Sn、Pdの内少なくとも1つを添加してもよい。

【0083】多結晶Si薄膜4の所定の領域を、図1(b)に示すように、エッチング除去する。

【0084】次に、予め表面を酸化あるいは酸化膜(SiO<sub>2</sub>膜)を積層することにより膜厚約200nmのSiO<sub>2</sub>膜11が形成され、10<sup>16</sup>/cm<sup>2</sup>以上、ここでは5×10<sup>16</sup>/cm<sup>2</sup>のドーズ量の水素イオンを所定のエネルギーにて注入された水素イオン注入領域12を有する礬素が3×10<sup>15</sup>cm<sup>-3</sup>ドープされた単結晶Si基板10を用意する。この単結晶Si基板10を、多結晶Si薄膜4をエッチングにより除去した所定の領域の形状より少なくとも0.3ミクロン、好ましくは0.5ミクロン以上小さい形状にダイシングなどによって切断する。

【0085】多結晶Si薄膜4が形成された基板および単結晶Si基板10の両基板をSC-1洗浄した後、図1(c)に示すように、切断した単結晶Si基板10の前記水素イオン注入領域12に近い側の表面を前記エッチング除去した領域に密着させ貼り合わせる。SC-1洗浄とは、一般にRCA洗浄と呼ばれる洗浄法の一つであって、アンモニアと過酸化水素と純水からなる洗浄液を用いる。

【0086】その後、300℃～600℃、ここでは約550℃の温度で熱処理し、レーザー照射または約700℃以上のピーク温度を含むランプアニールによって、単結晶Si基板10の水素イオン注入部12の温度をSiから水素が離脱する温度以上に昇温することにより、単結晶Si基板10を、水素イオン注入領域12を境に剥離する。

【0087】剥離されて絶縁基板1に残った単結晶Si基板表面の損傷層を、等方性プラズマエッチングまたはウェットエッチング、ここではバッファフッ酸による等方性プラズマエッチングにて約10nmライトエッチすることにより除去する。これにより、図1(d)に示すように、絶縁基板1上にそれぞれ膜厚約50nmの多結晶Si薄膜4と単結晶Si薄膜5とを得る。なお、単結晶Si基板10を室温にて接合後、300～350℃

で約30分熱処理した後、約550℃にて熱処理し剥離すると剥離に伴う剥がれが減少した。

【0088】その後、約800℃にて1分間ランプアニールを行う。次に、デバイスの活性領域となる部分を残し、不要なSi薄膜4、5をエッチングにより除去して、図1(e)に示すように、島状のパターンを得る。

【0089】次に、TEOS (Tetra Ethoxy Silane、すなわち $\text{Si}(\text{OC}_2\text{H}_5)_4$ )と $\text{O}_3$ (オゾン)との混合ガスを用いプラズマCVDにより、膜厚約350nmの $\text{SiO}_2$ 膜を堆積し、これを異方性エッチングであるRIEにて約400nmエッチバックした後、ゲート酸化膜6として $\text{SiH}_4$ と $\text{N}_2\text{O}$ との混合ガスを用いプラズマCVDにて、図1(f)に示すように、膜厚約60nmの第2の $\text{SiO}_2$ 膜6を形成する。

【0090】このとき、前記第1の $\text{SiO}_2$ 膜パターンと前記単結晶Si薄膜パターン間のスペースを前記第1の $\text{SiO}_2$ 膜厚の2倍と概ね等しくすることにより、前記多結晶Si薄膜と前記単結晶Si薄膜パターン間の谷状部に酸化膜が残り、基板全体が平坦化される。

【0091】以降は、通常よく知られたp-Si(多結晶シリコン)形TFTマトリクス基板の形成プロセスと同様のプロセスにより形成すればよい。すなわち、図1(g)に示すように、多結晶Si、シリサイド、あるいはポリサイド等から成るゲート電極21を形成した後、 $\text{P}^+$ および $\text{B}^+$ をイオン注入し、 $\text{SiO}_2$ 膜(層間絶縁膜)22を堆積し、コンタクトホール23を開口する。その後、コンタクトホール23に、図1(h)に示すように、金属(AlSi)配線24を形成する。

【0092】なお、絶縁基板1上に形成した単結晶Si薄膜5と多結晶Si薄膜4を島状にエッチングパターン化しMOSトランジスタを形成し、N型MOSトランジスタおよびP型MOSトランジスタのソース及びドレイン領域の少なくとも一部に約 $10^{16}/\text{cm}^2$ 以上の $\text{P}^+$ イオンを注入する。これにより、その後、RTA、レーザー、炉等により加熱処理を行い、多結晶Si薄膜4領域のみならず単結晶Si薄膜5領域も同時に金属原子をゲッタリングすることにより特性バラツキが小さく特性の安定なTFTを得ることができる。

【0093】液晶表示用に更に、 $\text{SiNx}$ (窒化シリコン)、樹脂平坦化膜、ビアホール、透明電極を順次形成し、多結晶Si薄膜4領域にてドライバおよび表示部用のTFTを形成し、タイミングコントローラを単結晶Si薄膜4領域にて形成する。

【0094】また、本実施の形態において、水素イオンの注入エネルギーを大きくして水素原子のピーク位置を深くし単結晶Si薄膜5の膜厚を厚くすると50nm~100nmでは大きな変化はないが、300nm~600nmに増加すると次第にTFTのS値が大きくなり、またオフ電流の低下が著しくなった。従って、単結晶Si薄膜5の膜厚は、不純物のドーピング密度にも依存す

るが、概ね600nm以下、望ましくは約500nm以下、より望ましくは100nm以下にする必要がある。

【0095】(実施の形態2)本発明の他の実施例であるTFTによるアクティブマトリクス基板30について、図2(h)に基づいて説明すれば、以下のとおりである。なお、実施の形態1におけるアクティブマトリクス基板20と同じ部材については説明を省略する。

【0096】半導体装置であるアクティブマトリクス基板30は、絶縁基板1、 $\text{SiO}_2$ (酸化シリコン)膜32および11、第2の $\text{SiO}_2$ 膜35、多結晶Si薄膜37、単結晶Si薄膜34、ゲート酸化膜38、ゲート電極21、層間絶縁膜22、金属配線24により構成されている。絶縁基板1として高歪点ガラスであるコーニング社の#1737(アルカリ土類-アルミノ硼珪酸ガラス)が用いられている。絶縁基板1の表面上全面に膜厚約350nmの $\text{SiO}_2$ 膜32が形成されている。

【0097】絶縁基板1の表面上の $\text{SiO}_2$ 膜32上には、膜厚約100nmの第2の $\text{SiO}_2$ 膜35と膜厚約50nmの多結晶Si薄膜37とが島状パターンの領域に積層して形成されている。

【0098】さらに、多結晶Si薄膜37の領域とは異なる領域において、絶縁基板1の表面上の $\text{SiO}_2$ 膜32には約150nmの深さを有する凹部33(図2(a)参照)が形成されている。この凹部33の底面上に、膜厚約200nmの $\text{SiO}_2$ 膜11、さらにその上に同形状の膜厚約50nmの単結晶Si薄膜34が、島状パターンの領域に形成されている。多結晶Si薄膜37の領域と単結晶Si薄膜34の領域とは、少なくとも0.3ミクロン、好ましくは0.5ミクロン以上離れている。このことにより、単結晶Si領域にNi、Pt、Sn、Pd等の金属原子が拡散するのを防止し、特性の安定化が図れる。

【0099】 $\text{SiO}_2$ 膜32、多結晶Si薄膜37および単結晶Si薄膜34の全面に亘って、膜厚約60nmのゲート酸化膜36が形成されている。多結晶Si薄膜37および単結晶Si薄膜34における各島状の領域の上面には、多結晶Si、シリサイド、あるいはポリサイド等から成るゲート電極21が形成されている。

【0100】さらに、アクティブマトリクス基板30と同様に、層間絶縁膜22、コンタクトホール23(図2(g)参照)、金属配線24が形成されている。また、更に同様に、アクティブマトリクス基板30は、液晶表示用に、 $\text{SiNx}$ (窒化シリコン)、樹脂平坦化膜、ビアホール、透明電極が形成されており、多結晶Si領域にてドライバおよび表示部用のTFTが形成され、単結晶Si領域にてタイミングコントローラが形成されている。

【0101】従来の多結晶シリコン領域に形成したNチャネルTFTは移動度が約 $100\text{cm}^2/\text{V}\cdot\text{sec}$ であったのに対し、この液晶表示用アクティブマトリクス基板3

0においては、単結晶Si領域に形成したNチャネルTFTは約 $500\text{ cm}^2/\text{V}\cdot\text{sec}$ の移動度を得た。

【0102】この液晶表示用アクティブマトリクス基板30にて、ドライバはもとより多結晶Si薄膜37の領域に形成されているデバイスが7～8Vの信号と電源電圧を要するのに対し、単結晶Si薄膜34の領域に形成されているデバイスであるタイミングコントローラは3.3Vにて安定に動作した。

【0103】以上に説明したアクティブマトリクス基板20の製造方法について図2(a)～図2(h)に基づいて説明すれば、以下のとおりである。絶縁基板1としてコーニング社の#1737(アルカリ土類-アルミノ硼珪酸ガラス)を用い、その表面上全面に $\text{SiH}_4$ と $\text{N}_2\text{O}$ との混合ガスを用いて、プラズマCVDにより膜厚約350nmの $\text{SiO}_2$ 層32を堆積する。図2(a)に示すように、前記 $\text{SiO}_2$ 層32の所定の領域を約150nmエッチングし、凹部33を形成する。

【0104】次に、予め表面を酸化あるいは酸化膜を堆積することにより、膜厚約200nmの $\text{SiO}_2$ 膜11が形成され、 $5\times 10^{16}/\text{cm}^2$ のドーズ量の水素イオンを所定のエネルギーにて注入した水素イオン注入部12を有する単結晶Si基板10を用意する。前記凹部33を形成した領域と同じ形状より0.5ミクロン小さい形状に切断する。

【0105】前記凹部33を形成した絶縁基板1および切断した単結晶Si基板10の両基板をSC-1洗浄した後、図2(b)に示すように、前記水素イオン注入側表面を前記エッチング除去した領域に密着させ貼合わせる。

【0106】その後、300℃～600℃、ここでは約550℃の温度で熱処理し、レーザー照射または約700℃以上のピーク温度を含むランプアニールによって、単結晶Si基板10の水素イオン注入部12の温度をSiから水素が離脱する温度以上に昇温することにより、単結晶Si基板10を、水素イオン注入部12を境に剥離する。

【0107】剥離されて絶縁基板1に残った単結晶Si基板表面の損傷層を、等方性プラズマエッチングまたはウェットエッチング、ここではバフアブレーションによるウェットエッチングにて約10nmライトエッチすることにより除去する。これにより、図2(c)に示すように、絶縁基板1上に膜厚約50nmの単結晶Si薄膜34を得る。

【0108】その後、絶縁基板1の上全面に $\text{SiH}_4$ と $\text{N}_2\text{O}$ との混合ガスを用いてプラズマCVDにより、図2(d)に示すように、膜厚約100nmの第2の $\text{SiO}_2$ 膜35を堆積する。さらに、その表面上全面に $\text{SiH}_4$ ガスを用いてプラズマCVDにより、図2(d)に示すように、膜厚約50nmの非晶質Si膜36を堆積する。

【0109】非晶質Si膜36にエキシマレーザーを照射加熱して結晶化し、多結晶Si層を成長させて多結晶Si薄膜37を形成するとともに、接合強度向上を図っている。

【0110】次に、多結晶Si薄膜37の不要部分と第2の $\text{SiO}_2$ 膜35の少なくとも単結晶Si薄膜34上の部分とを、エッチングにより除去する。更に、次に、デバイスの活性領域となる部分を残し、不要なSi膜をエッチングにより除去し、図2(e)に示すように、島状のパターンを得る。

【0111】次に、TEOSと酸素との混合ガスを用いて、プラズマCVDにより膜厚約350nmの $\text{SiO}_2$ 膜を堆積し、これを異方性エッチングであるRIEにて約400nmエッチバックした後、ゲート酸化膜38として $\text{SiH}_4$ と $\text{N}_2\text{O}$ との混合ガスを用いてプラズマCVDにより、図2(f)に示すように、膜厚約60nmの $\text{SiO}_2$ 膜38を形成する。ここで、前記第1の $\text{SiO}_2$ 薄膜パターンと前記単結晶Si薄膜パターン間のスペースを前記第1の $\text{SiO}_2$ 膜厚の2倍と概ね等しくすることにより、前記多結晶Si薄膜と前記島状エッチ前の単結晶Si薄膜パターン間の谷状部に酸化膜が残り、基板全体が平坦化される。

【0112】以降は、実施の形態1と同様であるので省略する。

【0113】(実施の形態3)本発明の他の実施例であるTFTによるアクティブマトリクス基板について説明すれば、実施の形態1におけるアクティブマトリクス基板20と断面構造は同じであるので、相違点のみ説明する。

【0114】本実施の形態の多結晶Si薄膜43(図3(d)参照)は、結晶成長方向の揃った多結晶Si、いわゆる連続結晶粒界Si(Continuous Grain Silicon)によって形成されている。

【0115】従来の連続結晶粒界Si領域に形成したNチャネルTFTは移動度が約 $200\text{ cm}^2/\text{V}\cdot\text{sec}$ であったのに対し、この液晶表示用アクティブマトリクス基板においては、単結晶Si領域に形成したNチャネルTFTは約 $500\text{ cm}^2/\text{V}\cdot\text{sec}$ の移動度を得た。

【0116】この液晶表示用アクティブマトリクス基板にて、ドライバはもとより多結晶Si薄膜43の領域に形成されているデバイスが7～8Vの信号と電源電圧を要するのに対し、単結晶Si薄膜5の領域に形成されているデバイスであるタイミングコントローラは3.3Vにて安定に動作した。

【0117】以上に説明したアクティブマトリクス基板の製造方法について図3(a)～図3(d)に基づいて説明すれば、以下のとおりである。本発明の第3の実施例では、実施例1と同様に、まず、絶縁基板1としてコーニング社の#1737(アルカリ土類-アルミノ硼珪酸ガラス)を用い、その表面上全面に $\text{SiH}_4$ と $\text{N}_2\text{O}$ 混



合ガスを用いてプラズマCVDにより約200nmのSiO<sub>2</sub>膜2を堆積する。その表面上全面にSiH<sub>4</sub>ガスを用いてプラズマCVDにより、約50nmの非晶質Si膜3を堆積する。さらに、図3(a)に示すように、その表面上全面にSiH<sub>4</sub>とN<sub>2</sub>O混合ガスを用いてプラズマCVDにより約200nmの第2のSiO<sub>2</sub>膜41を堆積する。

【0118】上層の第2のSiO<sub>2</sub>膜41における所定の領域にエッチングにより開口部を形成した後、前記開口部における非晶質Si膜3の表面の親水性をコントロールするために、図3(b)に示すように、非晶質Si膜3の表面に薄いSiO<sub>2</sub>膜42を形成し、その上に酢酸Ni水溶液をスピコートする。

【0119】次に、600℃の温度にて約12時間固相成長を行い、結晶成長方向の揃った結晶成長を促進させた多結晶Si、いわゆる連続結晶粒界Si(Continuous Grain Silicon)を成長させて多結晶Si薄膜43を形成させる。さらに、多結晶Si薄膜43上の第2のSiO<sub>2</sub>膜41および42を除去する。その後、多結晶Si薄膜43の所定の領域をエッチングして除去する。

【0120】次に、予め表面を酸化あるいは酸化膜を積層することにより、約200nmのSiO<sub>2</sub>膜11が形成され、 $5 \times 10^{16}/\text{cm}^2$ のドーザ量の水素イオンを所定のエネルギーにて注入された水素イオン注入部12を有する単結晶Si基板10を用意する。この単結晶Si基板10を、多結晶Si薄膜43をエッチングして除去した所定の領域の形状より少なくとも0.3ミクロン、好ましくは0.5ミクロン小さい形状に切断する。

【0121】前記多結晶Si薄膜43が形成された基板及び単結晶Si基板10の両基板をSC-1洗浄した後、図3(c)に示すように、単結晶Si基板10の水素イオン注入領域12に近い側の表面を前記エッチング除去した領域に密着させ貼合わせる。この時、多結晶Si薄膜43と単結晶Si基板10の間は少なくとも0.3ミクロン、好ましくは0.5ミクロン以上離れている。このことにより、後述する多結晶Si薄膜4の製造工程にて用いられるNi、Pt、Sn、Pd等の金属原子が、単結晶Si領域に拡散するのを防止し、特性の安定化が図れる。

【0122】その後、300℃～600℃、ここでは約550℃の温度で熱処理し、レーザー照射または約700℃以上のピーク温度を含むランプアニールによって、単結晶Si基板10の水素イオン注入部12の温度をSiから水素が離脱する温度以上に昇温することにより、単結晶Si基板10を、水素イオン注入部12を境に剥離する。

【0123】剥離されて絶縁基板1上に残った単結晶Si基板10表面の損傷層を、等方性プラズマエッチングまたはウェットエッチング、ここではバッファフッ酸によるウェットエッチングにて約10nmライトエッチす

ることにより除去する。これにより、図3(d)に示すように、絶縁基板1上にそれぞれ約50nmの膜厚の多結晶Si薄膜43と単結晶Si薄膜5とが得られる。

【0124】次に、多結晶Si薄膜43上の不要部分と第2のSiO<sub>2</sub>膜の少なくとも単結晶Si薄膜5上の部分をエッチングにより除去する。更に、多結晶Si薄膜43と単結晶Si薄膜5との不要部を所定のデバイス形状に合わせて、島状にエッチングして除去する。次に、デバイスの活性領域となる部分を残し、不要なSi膜をエッチングして除去し島状のパターンを得る。

【0125】次に、TEOSと酸素との混合ガスを用いてプラズマCVDにより膜厚約350nmのSiO<sub>2</sub>膜を堆積し、これを異方性エッチングであるRIEで約400nmエッチバックした後、ゲート酸化膜としてSiH<sub>4</sub>とN<sub>2</sub>Oとの混合ガスを用いてプラズマCVDにより膜厚約60nmのSiO<sub>2</sub>膜(図示せず)を形成する。ここで、前記第1のSiO<sub>2</sub>薄膜パターンと前記単結晶Si薄膜パターン間のスペースを前記第1のSiO<sub>2</sub>膜厚の2倍と概ね等しくすることにより、前記多結晶Si薄膜と前記単結晶Si薄膜パターン間の谷状部に酸化膜が残り、基板全体が平坦化される。

【0126】次に、デバイスの活性領域近傍のSiO<sub>2</sub>膜に開口部を形成し、SiO<sub>2</sub>膜をマスクに結晶成長を促進するために添加したNiのゲッタリングのため、高濃度のP<sup>+</sup>イオンを注入し( $15\text{ keV}$ ,  $5 \times 10^{16}/\text{cm}^2$ )、RTAにて約800℃の温度にて1分間の熱処理を行う。単結晶Si中にNi原子が拡散しないように物理的にスペースをとってはいるが、ごく微量のNi原子が、プロセス中に混入する可能性があり、単結晶Siの活性領域も前記ゲッタリングを行うのが望ましいが、スペースを優先する場合は、設計上の選択肢としてゲッタリングを省略してもよい。

【0127】以降の工程は、実施の形態1と同様であるので省略する。

【0128】(実施の形態4)本発明の他の実施例であるTFTによるアクティブマトリクス基板50は、実施の形態1におけるアクティブマトリクス基板20とほぼ同様であるので、相違点のみ説明する。

【0129】アクティブマトリクス基板20におけるSiO<sub>2</sub>膜2の膜厚が約200nmであるのに対して、本実施の形態におけるアクティブマトリクス基板50のSiO<sub>2</sub>膜52の膜厚は約350nmであり、さらに深さ約150nmの凹部55(図4(b)参照)が形成されている。

【0130】また、アクティブマトリクス基板20におけるSiO<sub>2</sub>膜11の膜厚が約200nmであるのに対して、本実施の形態におけるアクティブマトリクス基板50のSiO<sub>2</sub>膜61の膜厚は約400nmである。

【0131】従来の多結晶シリコン領域に形成したNチャネルTFTは移動度が約 $100\text{ cm}^2/\text{V}\cdot\text{sec}$ であった

のに対し、この液晶表示用アクティブマトリクス基板50においては、単結晶Si領域に形成したNチャネルTFTは約 $500\text{ cm}^2/\text{V}\cdot\text{sec}$ の移動度を得た。

【0132】この液晶表示用アクティブマトリクス基板50にて、ドライバはもとより多結晶Si薄膜54の領域に形成されているデバイスが7～8Vの信号と電源電圧を要するのに対し、単結晶Si薄膜55の領域に形成されているデバイスであるタイミングコントローラは3.3Vにて安定に動作した。

【0133】また、本実施例では、約400nmのSiO<sub>2</sub>膜61が形成された単結晶Si基板60を用いたが、得られたTFTの閾値のバラツキは約200nmのSiO<sub>2</sub>膜11が形成された単結晶Si基板10を用いた実施の形態1の場合における0.3V(±σ)に比較し、約1/2の0.15V(±σ)となり、特に低電圧における動作の安定性が向上した。これは接合した単結晶Si基板とガラス基板界面の汚染、あるいは格子の歪みや不完全性に起因する固定電荷の影響が軽減されるためである。前記SiO<sub>2</sub>膜61の膜厚は厚い程、閾値のバラツキは減少するが、SiO<sub>2</sub>膜の形成工程の効率(酸化に要する時間)や段差とのトレードオフにより、適切な値は概ね200nm～400nmとなる。バラツキを重視する場合は概ね400nm、段差や効率を重視する場合は概ね200nmが適切な値となる。

【0134】勿論、段差が問題にならない場合は、概ね400nm以上のほうが望ましいことは言うまでもない。

【0135】以上に説明したアクティブマトリクス基板50の製造方法について図4(a)～図4(h)に基づいて説明すれば、以下のとおりである。絶縁基板1としてコーニング社の#1737(アルカリ土類-アルミノ硼珪酸ガラス)を用い、その表面上全面にSiH<sub>4</sub>とN<sub>2</sub>O混合ガスを用いてプラズマCVDにより、膜厚約350nmのSiO<sub>2</sub>膜52を堆積する。さらに、図4

(a)に示すように、その表面上全面にSiH<sub>4</sub>ガスを用いてプラズマCVDにより、膜厚約50nmの非晶質Si膜53を堆積する。

【0136】非晶質Si膜53にエキシマレーザーを照射加熱して結晶化し、多結晶Si層を成長させ、多結晶Si薄膜54を形成する。

【0137】所定の領域の多結晶Si薄膜54とSiO<sub>2</sub>膜52の一部を約150nmエッチングにより除去して、図4(b)に示すように、深さ約200nm凹部55を形成する。

【0138】次に、予め表面を酸化あるいは酸化膜を積層することにより約400nmのSiO<sub>2</sub>膜61が形成され、 $5\times 10^{16}/\text{cm}^2$ のドーズ量の水素イオンを所定のエネルギーにて注入された水素イオン注入部62を有する単結晶Si基板60を用意する。

【0139】単結晶Si基板60を、凹部55の形状よ

り0.5ミクロン小さい形状に分断する。

【0140】多結晶Si薄膜54が形成された基板1及び単結晶Si基板60の両基板をSC-1洗浄した後、図4(c)に示すように、単結晶Si基板60の水素イオン注入部62に近い側の表面を凹部55の底面に密着させ貼合わせる。

【0141】その後、300℃～650℃、ここでは約550℃の温度で熱処理し、レーザー照射または約700℃以上のピーク温度を含むランプアニールによって、単結晶Si基板60の水素イオン注入領域62の温度をSiから水素が離脱する温度以上に昇温することにより、単結晶Si基板60を、水素イオン注入部62を境に剥離する。

【0142】剥離されて絶縁基板1に残った単結晶Si基板10表面の損傷層を、等方性プラズマエッチングまたはウェットエッチング、ここではパッファフッ酸によるウェットエッチングにて約10nmライトエッチすることにより除去する。

【0143】これにより、図4(d)に示すように絶縁基板1上にそれぞれ約50nmの膜厚の多結晶Si薄膜54と単結晶Si薄膜55とを得ることができる。

【0144】その後、温度約800℃にて1分間のランプアニールを行う。次に、デバイスの活性領域となる部分を残し、不要なSi薄膜54、55をエッチングして除去し、図4(e)に示すように、島状のパターンを得る。

【0145】次に、TEOSと酸素との混合ガスを用いてプラズマCVDにより膜厚約350nmの第1のSiO<sub>2</sub>膜を堆積し、これを異方性エッチングであるRIEにて約400nmエッチバックした後、ゲート酸化膜としてSiH<sub>4</sub>とN<sub>2</sub>Oとの混合ガスを用いてプラズマCVDにより、図4(f)に示すように膜厚約60nmのSiO<sub>2</sub>膜56を形成する。

【0146】以降の工程は、実施の形態1と同じ工程により、TFTを形成する。

【0147】(実施の形態5)本発明の他の実施例であるTFTによるアクティブマトリクス基板について説明すれば、実施の形態4におけるアクティブマトリクス基板と構造は同じであり、製造方法の一部のみ異なるので、相違点のみ説明する。

【0148】実施の形態4においては、 $5\times 10^{16}/\text{cm}^2$ のドーズ量の水素イオンを所定のエネルギーにて注入された単結晶Si基板60が用意されていた。一方、本実施の形態においては、 $3\times 10^{16}/\text{cm}^2$ のドーズ量の水素イオンを所定のエネルギーにて注入された単結晶Si基板が用意されている。

【0149】また、実施の形態4においては、水素イオン注入部62を境に単結晶Siが剥離し、単結晶Si薄膜55が得られる前に、約550℃の温度において熱処理されていた。一方、本実施の形態においては、多結晶



S i 層形成時における概ね60～80%のエネルギーにてエキシマレーザーのパルス照射し、多結晶S i 層成長時と同様に、全面を照射することにより加熱している。

【0150】従来の多結晶シリコン領域に形成したNチャネルTFTは移動度が約 $100\text{ cm}^2/\text{V}\cdot\text{sec}$ であったのに対し、この液晶表示用アクティブマトリクス基板においては、単結晶S i 領域に形成したNチャネルTFTは約 $600\text{ cm}^2/\text{V}\cdot\text{sec}$ の移動度を得た。なお、実施の形態4の液晶表示用アクティブマトリクス基板においては、従来の単結晶シリコン領域に形成したTFTは移動度が約 $500\text{ cm}^2/\text{V}\cdot\text{sec}$ であった。この相違は、本実施の形態にて得られた単結晶S i 薄膜が、水素イオン注入量を減じられているため、水素イオン注入に伴う単結晶S i の損傷を減らす事ができ、TFT特性が改善したためである。

【0151】また、この液晶表示用アクティブマトリクス基板にて、ドライバはもとより多結晶S i 薄膜の領域に形成されているデバイスが7～8Vの信号と電源電圧を要するのに対し、単結晶S i 薄膜の領域に形成されているデバイスであるタイミングコントローラは3.3Vにて安定に動作した。

【0152】(実施の形態6)本発明の他の実施例であるTFTによるアクティブマトリクス基板について説明すれば、実施の形態1におけるアクティブマトリクス基板と構造は同じであるので、説明は省略する。

【0153】本実施例において、多結晶S i 領域及び単結晶S i 領域に形成するTFTのゲート長をそれぞれ5ミクロン、0.8ミクロン、ゲート酸化膜厚をそれぞれ80nm、50nmとし、電源電圧をそれぞれ8V、3Vにて動作させたところ、安定に動作した。

【0154】一方、多結晶S i 領域にて、ゲート長が0.8ミクロンのTFTを形成し、3Vにて動作させたところ、TFTの特性がばらつきソース～ドレイン間の耐圧が不足して使用不可能なものが多数あった。

【0155】また、多結晶S i 領域にて、ゲート長が1.5ミクロンのTFTを形成し、3Vにて動作させたところ、閾値電圧およびそのバラツキが大きく実用上問題があった。

【0156】なお、本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施の形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術範囲に含まれる。

【0157】また、本発明の実施の形態は本内容に限られるものではなく、例えば、多結晶S i 形成法、あるいは層間絶縁膜の材料、膜厚等についても他の同分野の技術者が知り得る手段によっても実現できる事は言うまでもない。また、材料についても、一般に同じ目的で用いられるものであれば異なる材料であっても同様の効果が

得られる事は言うまでもない。

【0158】

【発明の効果】本発明に係る半導体装置は、以上のように、絶縁基板上に多結晶S i 薄膜と単結晶S i 薄膜とがそれぞれ異なる領域に形成されている構成である。それゆえ、より高性能が要求されるデバイス、例えばタイミングコントローラを単結晶S i 薄膜の形成領域にて形成し、残りのデバイスを多結晶S i 薄膜の形成領域にて形成することができる。

【0159】すなわち、例えば、高性能なシステムを集積化した液晶パネルあるいは有機ELパネル等の表示装置用の半導体装置を、全てのデバイスを単結晶S i にて形成する場合に比べて、非常に低コストにて製造できる。

【0160】また、基板上には多結晶S i 薄膜も形成されているので、例えば、大型の液晶表示パネルや有機ELパネルを製造することができるという効果を奏する。

【0161】本発明に係る半導体装置は、以上のように、上記の構成に加えて、前記単結晶S i 薄膜の前記絶縁基板への接合側表面が酸化されているか、前記単結晶S i 薄膜の前記絶縁基板への接合側表面にS i O<sub>2</sub>膜が堆積されている構成である。

【0162】それゆえ、さらに、接合したS i 界面に働く応力によるS i 結晶の歪みに起因する移動度低下、あるいは界面の欠陥やこれに伴う界面固定電荷、界面の局在準位による閾値シフト、特性安定性低下等を防止できる。

【0163】また、低コストの一般的なアクティブマトリクス用高歪み点ガラスを使用しても、熱膨張係数差による加熱接合強度向上工程における破壊を防止することができるという効果を奏する。

【0164】このため、絶縁基板に結晶化ガラスを用いるために生じていたアルカリ金属による汚染の問題がなくなり、かつ低コスト化できるという効果を奏する。

【0165】本発明に係る半導体装置は、以上のように、上記の構成に加えて、前記半導体装置が、前記絶縁基板上に複数のMOSFETからなる集積回路を形成したアクティブマトリクス基板である構成である。

【0166】それゆえ、さらに、前記特徴を有するアクティブマトリクス基板を得ることができるという効果を奏する。

【0167】本発明に係る半導体装置は、以上のように、上記の構成に加えて、前記絶縁基板が、少なくとも単結晶S i の存在する領域の表面にS i O<sub>2</sub>層が形成された高歪点ガラス、例えば、バリウム－アルミノ硼珪酸ガラス、アルカリ土類－アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類－亜鉛－鉛－アルミノ硼珪酸ガラス、アルカリ土類－亜鉛－アルミノ硼珪酸ガラスのうち何れか1つからなる構成である。

【0168】上記の構成により、さらに、低コストにて

半導体装置を製造することができるという効果を奏する。

【0169】本発明に係る半導体装置は、以上のように、前記絶縁基板上に形成されている前記単結晶Si薄膜の領域と前記多結晶Si薄膜の領域とが、少なくとも0.3ミクロン以上離れている構成である。

【0170】それゆえ、さらに、多結晶Siから単結晶SiにNi、Pt、Sn、Pd等が拡散してくることを防止し、半導体装置の特性の安定を図ることができるという効果を奏する。

【0171】本発明に係る半導体装置は、以上のように、上記の構成に加えて、前記異なる領域にそれぞれ形成された同一導電型のトランジスタにおいて、移動度、サブスレショルド係数、閾値のうち少なくとも1つが、前記領域毎に異なる構成である。

【0172】それゆえ、さらに、必要とする特性に合わせてトランジスタを適した領域に形成することができるという効果を奏する。

【0173】本発明に係る半導体装置は、以上のように、上記の構成に加えて、前記異なる領域にそれぞれ形成された集積回路において、ゲート長、ゲート酸化膜の膜厚、電源電圧、ロジックレベルのうち少なくとも1つが、前記領域毎に異なる構成である。

【0174】それゆえ、さらに、必要とする構成および特性に合わせて集積回路を適した領域に形成することができるという効果を奏する。

【0175】本発明に係る半導体装置は、以上のように、上記の構成に加えて、前記異なる領域にそれぞれ形成された集積回路は、加工ルールが前記領域毎に異なる構成である。

【0176】それゆえ、さらに、加工ルールに合わせて集積回路を適した領域に形成することができるという効果を奏する。

【0177】本発明に係る半導体装置は、以上のように、上記の構成に加えて、前記単結晶Si薄膜の膜厚が概ね600nm以下である構成である。

【0178】それゆえ、半導体装置のS値が小さくなり、またオフ電流が低下するという効果を奏する。

【0179】本発明に係る半導体装置は、以上のように、上記の構成に加えて、前記単結晶Si薄膜の膜厚が100nm以下である構成である。それゆえ、さらに、一層半導体装置のS値が小さくなり、またオフ電流が低下するという効果を奏する。

【0180】本発明に係る半導体装置の製造方法は、以上のように、絶縁基板上に多結晶Si薄膜と単結晶Si薄膜とが形成された半導体装置の製造方法において、絶縁基板表面にSiO<sub>2</sub>膜および非晶質Si膜を順次堆積する工程と、前記非晶質Si膜を加熱結晶化し、多結晶Si層を成長させ、多結晶Si薄膜を形成する工程と、前記多結晶Si層の所定の領域をエッチング除去する工

程と、予め表面を酸化あるいはSiO<sub>2</sub>膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶Si基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、前記切断した単結晶Si基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、熱処理することにより、前記水素イオン注入部を境に剥離し、単結晶Si薄膜を形成する工程を含む構成である。

【0181】それゆえ、予め水素イオンが注入される部分である水素イオン注入部を有する単結晶Si基板を加熱することにより、接合強度を高めることができるとともに、単結晶Si基板を水素イオン注入部を境に剥離することにより単結晶Si薄膜を得ることができる。よって、高性能なデバイス形成の上で障碍となる、多結晶Siに特有の結晶性の不完全性に起因するギャップ内の局在準位や結晶粒界付近の欠陥やギャップ内の局在準位の存在のためによる移動度の低下やS係数の増加等の問題は、単結晶Siにて解消できる。従って、絶縁基板上に単結晶Si薄膜と多結晶Si薄膜とを形成でき、以降の工程を共通の加工プロセスにて、より高性能が要求されるデバイスは単結晶Siにて形成し、残りのデバイスを多結晶Siにて形成することができる。よって、高性能なシステムを集積化した液晶パネルあるいは有機ELパネル等の表示装置等の半導体装置等を低コストにて製造できる。

【0182】また、酸化層またはSiO<sub>2</sub>膜を予め形成しこれを介してガラス基板等の絶縁基板に単結晶Si基板を接合するので、接合したSi界面に働く応力によるSi結晶の歪みに起因する移動度の低下、あるいは界面の欠陥やこれに伴う界面固定電荷、界面の局在準位による閾値シフト、特性安定性低下等を防止できる。これにより石英基板との熱膨張係数差による加熱接合強度向上工程にての破壊を防止するため組成を調節した結晶化ガラスを用いる必要がなくなり、高歪点ガラスを用いることができる。よって、結晶化ガラスによるアルカリ金属による汚染の問題がなくなり、熱膨張係数差による加熱接合強度向上工程にての破壊を防止することができる。

【0183】更に、例えば、大面積の高歪点ガラス基板上に多結晶Si膜を形成し、適切なサイズに加工した単結晶Si基板を接合すべき領域を覆うように多結晶Si薄膜を予めエッチング除去し、この領域に予め表面を酸化あるいはSiO<sub>2</sub>膜を積層し、かつ水素イオン注入部を有する単結晶Si基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断した単結晶Si基板を、前記水素イオン注入部に近い側の面を前記エッチング除去した領域に密着させ接合し、熱処理することで、前記単結晶Si基板を水素イオン注入部を境に剥離することにより、単結晶Si薄膜とSiO<sub>2</sub>膜を残し、それ以外の単結晶Siを剥離除去するこ

とによりガラス基板全体に亘り応力の偏りを無くすることができる。これにより、S i が剥がれたりクラックや破壊を生じること無く、基板の一部の領域が単結晶S i 薄膜、残りの領域部分が多結晶S i 薄膜からなる基板を得ることができる。

【0184】また、絶縁基板には多結晶S i 薄膜も形成されているので、例えば、大型の液晶表示パネルや有機E L パネル等の半導体装置を製造することができるという効果を奏する。

【0185】本発明に係る半導体装置の製造方法は、以上のように、絶縁基板に多結晶S i 薄膜と単結晶S i 薄膜とが形成された半導体装置の製造方法において、絶縁基板表面にS i O<sub>2</sub>膜および非晶質S i 膜を順次堆積する工程と、前記非晶質S i 膜を加熱結晶化し、多結晶S i 層を成長させ、多結晶S i 薄膜を形成する工程と、所定の領域の前記多結晶S i 層をエッチング除去するとともに、同じ領域の前記S i O<sub>2</sub>膜の厚さ方向における一部をエッチング除去する工程と、予め表面を酸化あるいはS i O<sub>2</sub>膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶S i 基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、前記切断した単結晶S i 基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、熱処理することにより、前記水素イオン注入部を境に剥離し、単結晶S i 薄膜を形成する工程を含む構成である。

【0186】それゆえ、さらに、絶縁基板の単結晶S i 薄膜および多結晶S i 薄膜の領域の高さが概ね同等である基板を得ることができる。その結果、島エッチングを含め以降のほとんどの工程を同時に処理することが可能となる。また、これにより、段差の小さいトランジスタあるいは回路が形成される。よって、例えば液晶パネルの場合、セル厚制御にて優位となることができるという効果を奏する。

【0187】本発明に係る半導体装置の製造方法は、以上のように、絶縁基板に多結晶S i 薄膜と単結晶S i 薄膜とが形成された半導体装置の製造方法において、絶縁基板表面にS i O<sub>2</sub>膜を堆積する工程と、所定の領域の前記S i O<sub>2</sub>膜の厚さ方向における一部をエッチング除去する工程と、予め表面を酸化あるいは酸化膜を堆積し、かつ所定の深さに所定の濃度の水素イオンを注入した水素イオン注入部を有する単結晶S i 基板を前記エッチング除去した領域の形状の一部または概ね全領域を覆う所定の形状に切断する工程と、前記切断した単結晶S i 基板を、水素イオンを注入した側の面を前記エッチング除去した領域に密着させ貼合わせる工程と、熱処理することにより、前記水素イオン注入部を境に剥離し、単結晶S i 薄膜を形成する工程と、前記絶縁基板に第2のS i O<sub>2</sub>膜および非晶質S i 膜を順次堆積する工程

と、前記非晶質S i 膜を加熱結晶化し、多結晶S i 層を成長させ、多結晶S i 薄膜を形成する工程とを含む構成である。

【0188】それゆえ、前記製造方法と同様の利点を得ることができるという効果を奏する。

【0189】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、300℃以上650℃以下の1段階の温度ステップにより、前記熱処理をする構成である。それゆえ、さらに、1工程にて熱処理をすることができるという効果を奏する。

【0190】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、300℃以上650℃以下の多段階の温度ステップにより、前記熱処理をする構成である。

【0191】それゆえ、さらに、単結晶S i の剥がれを減少することができるという効果を奏する。

【0192】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、前記多結晶S i 層を成長させるときに、前記非晶質S i 膜にN i、P t、S n、P dの内少なくとも1つを添加する構成である。

【0193】それゆえ、さらに、添加後加熱することにより、多結晶S i 層の結晶成長を促進することができる。よって、多結晶S i 層の移動度が高くすることができ、駆動回路形成などにおいて有利になることができるという効果を奏する。

【0194】本発明に係る半導体装置の製造方法は、上記の構成に加えて、レーザー照射によって、前記単結晶S i 基板の水素イオン注入部の温度をS i から水素が離脱する温度以上に昇温することにより、前記単結晶S i 基板を水素イオン注入部を境に剥離する工程を行う構成である。

【0195】それゆえ、さらに、狭い範囲の領域のみを昇温することができ、単結晶S i の損傷を抑えることができるという効果を奏する。

【0196】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、概ね700℃以上のピーク温度を含むランプアニールを行い、前記単結晶S i 基板を水素イオン注入部を境に剥離する構成である。

【0197】それゆえ、さらに接合強度が向上するとともに、剥離界面及び単結晶S i 薄膜内部の水素イオン注入による損傷の回復によりトランジスタの特性を向上することができるという効果を奏する。

【0198】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、前記単結晶S i 薄膜の最大寸法が10cm以下である構成である。

【0199】それゆえ、さらに、石英基板より単結晶S i との熱膨張係数差の大きい、一般にアクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスを用いても、クラック等の破壊やS i の剥がれを防止することができるという効果を奏する。

【0200】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、前記単結晶Si薄膜の最大寸法が5cm以下である構成である。

【0201】それゆえ、さらに、石英基板より単結晶Siとの熱膨張係数差の大きい、アクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスを用いても、一層クラック等の破壊やSiの剥がれを防止することができるという効果を奏する。

【0202】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、前記絶縁基板上に前記多結晶Si薄膜と前記単結晶Si薄膜とが形成された後、等方性プラズマエッチングまたはウェットエッチングにより前記単結晶Si薄膜表面の損傷層をエッチング除去する工程と、前記多結晶Si薄膜と前記単結晶Si薄膜を島状にエッチングパターン化する工程と、前記多結晶Si薄膜と前記単結晶Si薄膜上全面に第1のSiO<sub>2</sub>膜を堆積後、異方性エッチングにより前記第1のSiO<sub>2</sub>膜の膜厚の一部を残して、あるいは全部をエッチングバックする工程と、ゲート絶縁膜としての第2のSiO<sub>2</sub>膜を堆積する工程とをさらに含む構成である。

【0203】それゆえ、さらに、従来の工程を用いて上記特徴を有するTFTを製造することができるという効果を奏する。

【0204】上記の製造方法においては、前記多結晶Si薄膜パターンと前記島状エッチ前の単結晶Si薄膜パターン間のスペースを前記第1のSiO<sub>2</sub>膜厚の2倍と概ね等しくする。これにより、前記多結晶Si薄膜と前記単結晶Si薄膜パターン間の谷状部に酸化膜が残り、基板全体が平坦化される。

【0205】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、前記絶縁基板上に形成した前記単結晶Si薄膜と前記多結晶Si薄膜を島状にエッチングパターン化しMOSトランジスタを形成し、N型MOSトランジスタおよびP型MOSトランジスタのソースおよびドレイン領域の少なくとも一部に概ね $10^{15}/\text{cm}^2$ 以上 $5 \times 10^{15}/\text{cm}^2$ 以下のP<sup>+</sup>イオンを注入する工程とをさらに含む構成である。

【0206】それゆえ、さらに、その後加熱処理を行い、多結晶Si薄膜領域のみならず単結晶Si薄膜領域も同時に金属原子をゲッタリングすることにより更に特性バラツキが小さく特性の安定なTFTを得ることがで

きるという効果を奏する。本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、前記単結晶Si薄膜の膜厚が前記多結晶Si薄膜の膜厚と概ね等しいことを特徴としている。

【0207】上記の構成により、さらに、島エッチングを含め以降の工程をほとんどの工程を同時に処理することが可能となり、かつ段差の小さいトランジスタあるいは回路が形成できる。よって、例えば液晶パネルの場合、セル厚制御にて優位となることができるという効果を奏する。

【0208】本発明に係る半導体装置の製造方法は、以上のように、上記の構成に加えて、単結晶Siに予め表面の酸化あるいはSiO<sub>2</sub>膜の堆積により形成したSiO<sub>2</sub>膜の膜厚が200nm以上、望ましくは300nm以上である構成である。

【0209】それゆえ、閾値のバラツキと、SiO<sub>2</sub>膜形成工程の効率や段差とのバランスに適切な半導体基板を得ることができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】(a)～(h)は、本発明に係る半導体装置の製造工程例を示す断面図である。

【図2】(a)～(h)は、本発明に係る他の半導体装置の製造工程例を示す断面図である。

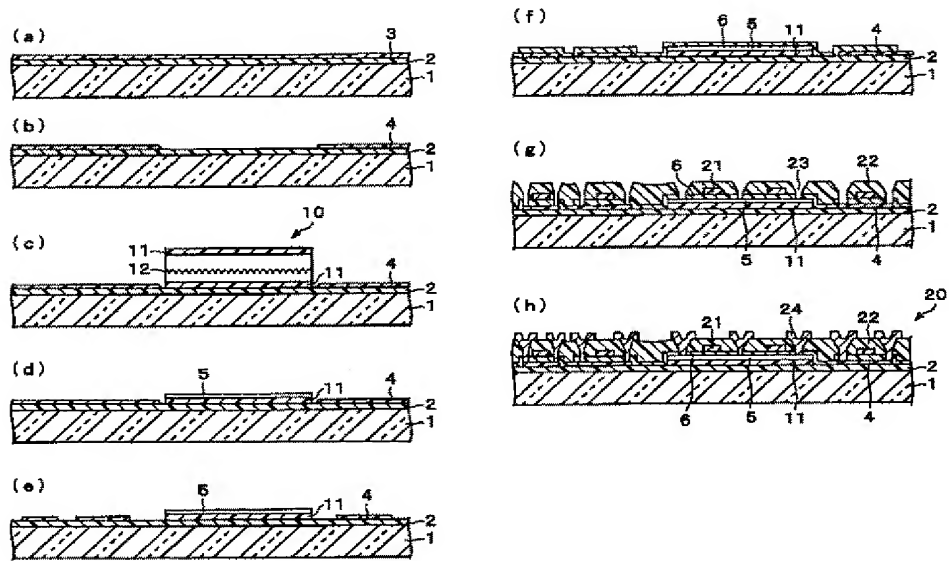
【図3】(a)～(d)は、本発明に係る他の半導体装置の製造工程例を示す断面図である。

【図4】(a)～(h)は、本発明に係る他の半導体装置の製造工程例を示す断面図である。

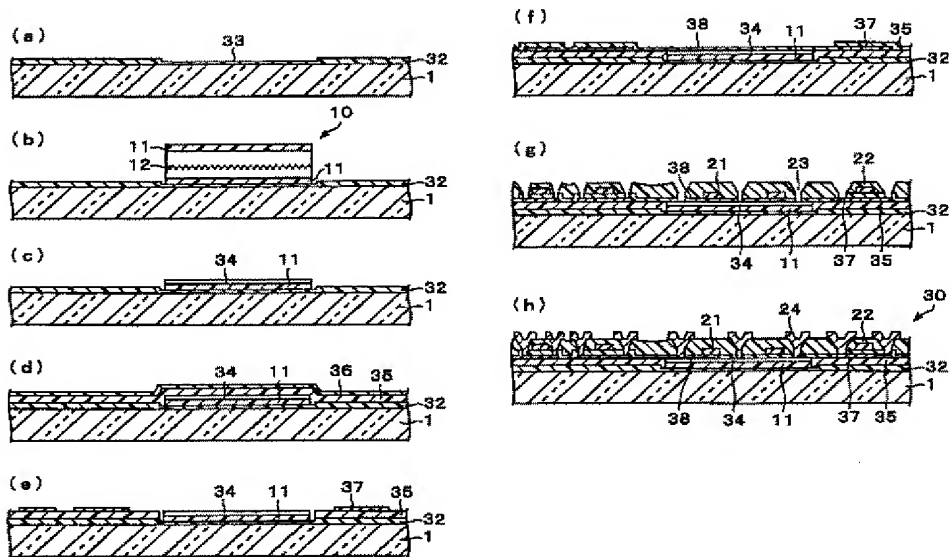
#### 【符号の説明】

- 1 絶縁基板
- 2、32、52 SiO<sub>2</sub>膜（絶縁膜）
- 3、36、53 非晶質Si薄膜
- 4、37、43、54 多結晶Si薄膜
- 5、34 単結晶Si薄膜
- 6、38、56 Si酸化膜（ゲート絶縁膜）
- 10、60 単結晶Si基板
- 11、61 SiO<sub>2</sub>膜
- 12、62 水素イオン注入部
- 20、30、50 半導体装置
- 33、55 凹部
- 35、41 第2のSiO<sub>2</sub>膜

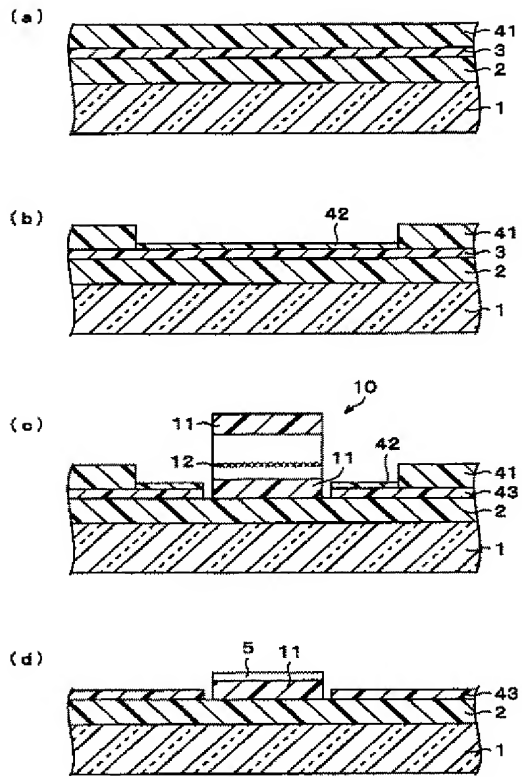
【図 1】



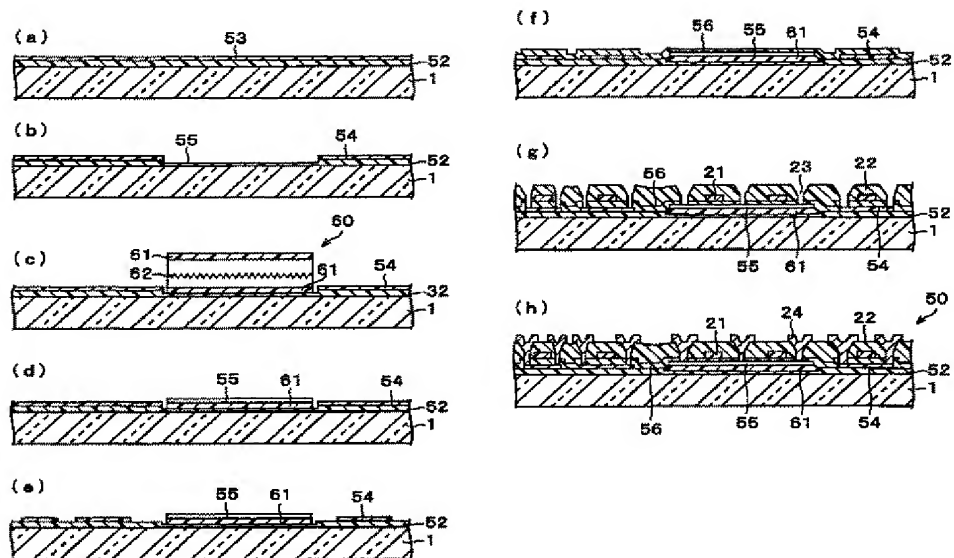
【図 2】



【図3】



【図4】



フロントページの続き

| (51) Int. Cl. <sup>7</sup> | 識別記号 | F I           | テーマコード <sup>*</sup> (参考) |
|----------------------------|------|---------------|--------------------------|
| H O 1 L 27/12              |      | H O 1 L 29/78 | 6 1 2 B<br>6 2 7 D       |

F ターム (参考) 2H092 JA24 JA28 KA03 KA04 KA08  
MA29 NA11 NA25  
5F048 AA08 AC04 BA16 BA19 BB05  
BB08 BB12 BB16 BC16  
5F110 AA01 BB02 CC02 DD02 DD13  
EE05 EE09 EE14 FF02 FF30  
GG02 GG12 GG13 GG24 GG58  
HJ01 HJ13 HL06 NN02 NN23  
NN72 NN78 PP03 PP34 QQ17  
QQ28